

강의계획서 (SYLLABUS)

1. 과목개요

강좌명 (Course Title)	학부생연구인턴	담당교수 (Instructor)	송인철	동영상강의 계획서	없음
년도 (Year)	2024학년도	학기 (Semester)	여름 학기	과목코드 (Course No.)	-
분반 (Class)	01	수강대상학과 (Open to)	2학년 전체, 3학년 전체, 4 학년 전체, 5학년 전체	이수구분 (Course Classification)	전선-차세대반도체
학점/주당시간	1.0 (0) /2	성적스케일	점수 100기준 입력	성적평가방식	P/F평가
교과목유형	실험.실습	강의언어	한국어	상담 신청 방법	e-mail
교수실 (Office)	벤처관 704호	연락처 (Telephone)	02-828-7489	이메일 (e-mail)	inchul.song@ssu.ac.kr
강좌형식	강의/실습/발표	수업유형	대면	동영상 제작년도	-
공학인증 교과목 관련 항목	교과영역(*) (ABEEK Classification)			인증구분(*) (ABEEK Requirement)	
필수 선수과목	Verilog HDL coding 관련 과목				
권장 선수과목	IP(Internet Protocol) packet 통신 관련 과목				
교과목 개요 (Course Description)	Communication processor, Application processor, Network processor 등과 같은 ASIC에서 사용되는 IP(Internet Protocol) packet 및 packet processing engine의 일부 function을 이해하고, 이를 Verilog-HDL coding을 통해 구현 및 검증 한다.				

교육목표	전공특화역량
IP(Internet Protocol) packet 및 이에 대한 processing을 이해하고 이를 HW IP로 구현하기 위한 구조를 설계할 수 있는 능력	반도체분야 문제 해결 능력
설계된 구조를 바탕으로 verilog-HDL을 이용하여 HW IP를 구현 및 검증할 수 있는 능력	반도체 회로 개발 역량
구현된 HW IP가 SoC 일부로 동작할 수 있도록 SW interface 및 System bus interface를 갖도록 설계하는 능력	시스템 반도체 개발 역량

평가항목	각 항목별 만점(최대 100점)	반영비율(합계 100%)
출석	15(1~15)	10%
과제(계획서)	10(1~10)	10%
과제(중간 보고서)	10(1~10)	20%
과제(최종 보고서)	10(1~10)	60%

주요교재 및 참고자료 (Required Texts)	주교재	강의자료(TBD)
	참고교재(대표)	1) Verilog-HDL 관련 교재 2) TCP/IP illustrated vol1 3) Cadence Xcelium user manual, 4) Cadence Simvision user manual
학습준비사항	1) Verilog editor (e.g. gvim) 2) Verilog Simulator (e.g. Cadence Xcelium) 3) Waveform viewer (e.g. Cadence Simvision)	
수강학생 유의 및 참고사항	1) Verilog-HDL coding 초급 이상 2) 계획서, 중간 보고서, 최종 보고서 제출 필요	

강의계획서 (SYLLABUS)

2. 주차별 강의개요

주 (Week)	핵심어 (Keyword)	세부내용 (Description)	교수방법	교재범위 (Texts)
01	IP packet, 5-tuple	Data network 및 IP(Internet Protocol) packet, Packet processing #1) packet filtering 이해	강의	강의 자료
02	IPv4/6 & Application, Tethering	Packet processing #2) CLAT, Packet processing #3) NAT & forwarding 이해	강의	강의 자료
03	HW description & Testbench	RTL 및 Testbench 구현 위한 Verilog-HDL coding 환경 실습	실습	Simulator user manual
04	Simulation & debugging	Debugging 위한 Verilog-HDL simulation & debugging 환경 실습	실습	Waveform viewer user manual
05	계획서	Project 계획서 발표 (Block diagram, I/O description, Data/Control path 포함 필수)	발표	N/A
06	Project 진행	Project 진행 (1)~(4)	진도 check 및 QnA	N/A
07				
08				
09				
10	중간 보고서	Project 중간 보고서 발표 (구현 및 미구현 구분 필수)	발표 및 feedback	강의 자료 (Reference block)
11	Project 진행	Project 진행 (5)~(8)	진도 check 및 QnA	N/A
12				
13				
14				
15	최종 보고서	Project 최종 보고서 발표 (Verilog-HDL/TestBench, Simulation result, waveform 제출)	발표 및 평가	강의 자료 (Wrap up)